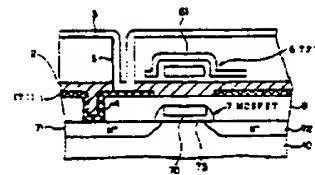


(54) STACKED TRANSISTOR PROVIDED WITH POLYSILICON THIN FILM
TRANSISTOR AND MANUFACTURE THEREOF

(11) 5-275652 (A) (43) 22.10.1993 (19) JP
(21) Appl. No. 4-160270 (22) 27.5.1992 (33) JP (31) 92p.40121 (32) 30.1.1992
(71) SONY CORP (72) MASANORI TSUKAMOTO
(51) Int. Cl. H01L27/11, H01L29/784

PURPOSE: To perform sufficiently hydrogenation of the upper TFT of the stacked transistor to improve the characteristics of the stacked transistor and to isolate the lower transistor of the stacked transistor from hydrogen at the time of the hydrogenation to improve the reliability of the stacked transistor to hot carriers.

CONSTITUTION: In a stacked TFT, which is provided with a polysilicon TFT 6 and is provided with another transistor (a MOSFET) 7 under the the TFT 6, an interlayer insulating film between the upper TFT and the lower transistor is formed of a hydrogen diffusion stopping material (SiN) 2 and a wiring between the upper TFT 6 and the lower transistor 7 is formed of a conductive material (Ti) 1 of a small hydrogen permeability. An opening is made in a hydrogen transmission stopping layer (Ti) between an H diffusion source (P-SiN) and the TFT and hydrogenation of the TFT 6 is conducted through this opening.



3: upper wiring layer, 4: contact hole, 5: upper contact
hole, 6: polysilicon film

特開平5-275652

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/11

29/784

8728-4M

H 0 1 L 27/ 10

3 8 1

9056-4M

29/ 78

3 1 1 C

審査請求 未請求 請求項の数6(全10頁)

(21) 出願番号 特願平4-160270

(22) 出願日 平成4年(1992)5月27日

(31) 優先権主張番号 特願平4-40121

(32) 優先日 平4(1992)1月30日

(33) 優先権主張国 日本(J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 高月 亨

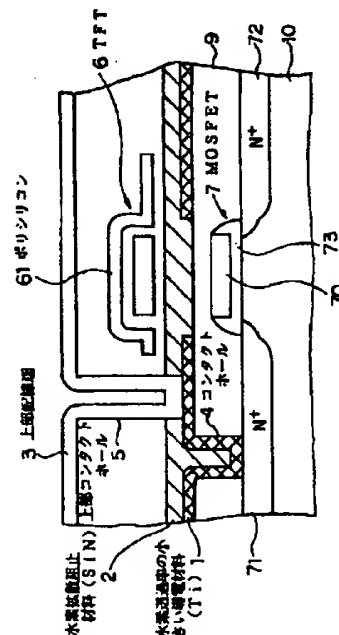
(54) 【発明の名称】 ポリシリコン薄膜トランジスタを備えるスタック型トランジスタ及びその製造方法

(57) 【要約】

【目的】 上部TFTの水素化が充分に行われて特性(ON電流、OFF電流の特性)が向上し、水素化の時下部トランジスタは水素から遮断されてホットキャリアに対する信頼性が向上したポリシリコンTFTを備えるスタック型トランジスタ及びその製造方法の提供。

【構成】 ①ポリシリコンTFT6を備え、かつその下部に他のトランジスタ7(MOSFET)を備えるスタック型TFTであって、上部TFTと、下部トランジスタとの間の層間絶縁膜を水素拡散阻止材料2(SiN)により形成し、かつ上部TFT6と下部トランジスタ7との間の配線を水素透過性の小さい導電材料1(Ti)から形成。②H拡散源(P-SiN)とTFTとの間の水素透過阻止層(Ti)に開口を形成して、この開口から水素化を行う。

実施例1のトランジスタ



1

【特許請求の範囲】

【請求項1】ポリシリコン薄膜トランジスタを備え、かつその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、

上部ポリシリコン薄膜トランジスタと、下部トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、

かつ上部ポリシリコン薄膜トランジスタと下部トランジスタとの間の配線を水素透過性の小さい導電材料から形成することを特徴とするポリシリコン薄膜トランジスタを備えるスタック型トランジスタ。

【請求項2】下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、

下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、

ポリシリコン薄膜トランジスタを形成した後、

水素拡散源材料層を形成し、

該水素拡散源材料層によりポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法。

【請求項3】下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、

下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、

ポリシリコン薄膜トランジスタを形成した後、

水素化可能雰囲気中で処理することによりポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法。

【請求項4】下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、

その後下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、

ポリシリコン薄膜トランジスタを形成した後、

ポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法。

【請求項5】ポリシリコン薄膜トランジスタを備え、かつその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、

上部ポリシリコン薄膜トランジスタの上層には水素拡散源材料層を備え、

該水素拡散源材料層と上部ポリシリコン薄膜トランジスタとの間には水素透過を阻止する膜が位置し、

該水素透過を阻止する膜には、水素化用開口を部分的に形成したことを特徴とするスタック型薄膜トランジスタ。

【請求項6】ポリシリコン薄膜トランジスタを備え、か

2

つその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、

上部ポリシリコン薄膜トランジスタの上層には水素拡散源材料層を備え、

該水素拡散源材料層と上部ポリシリコン薄膜トランジスタとの間には水素透過を阻止する膜が位置し、

該水素透過を阻止する膜には、水素化用開口を部分的に形成するとともに、

該水素透過を阻止する膜は、下部トランジスタの拡散層へ通ずる開口上をおおう構成としたことを特徴とするスタック型薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ポリシリコン薄膜トランジスタ（以下適宜TFTと称することもある）を備えるスタック型トランジスタ、即ちポリシリコンTFTの下部にMOSFET等のトランジスタを有するスタック（積み重ね）構造のトランジスタに関し、また該トランジスタの製造方法に関するものである。

【0002】

【従来の技術】従来より、ポリシリコンTFTでは、チャネル形成用ポリSi中のダングリングボンド（未結合手）をターミネートするために水素化を行って安定化させるが、スタック型トランジスタ（例えばスタック型SRAM）の構造においては、TFT下部のMOSFET等の下部トランジスタも水素化されてしまい、ホットキャリア耐性を劣化させてしまう（これについては1985 Symposium on VLSI Tech, P 106～参照）。

【0003】従って、水素拡散に対して上部TFTと下部トランジスタ（MOSFET等）を遮蔽する必要がある。この対策として、上部TFTと下部トランジスタとの間に水素拡散阻止層（シリコンナイトライドSiNなど）を形成する手段が考えられる。しかしかかる水素拡散防止層を設けても、コンタクトホールを水素が拡散してMOSFETを水素化してしまうおそれがある。

【0004】本発明者は、この問題を解決すべく、新たな提案を行った。これは、図7に示すように、上部TFT6（チャネルポリSi61とゲート62を有する）と、下部MOSFET7（ゲート70、ソース/ドレイン領域71、72、ゲート酸化膜73を有する）との間の層間絶縁膜を水素拡散阻止材料21（LP-SiN）で形成し、かつ、両者6、7の接続をとるコンタクトホール5の側壁からTFT6の上面に至る迄水素拡散阻止材料22（TiON）で形成したものである。ポリシリコン61の水素化は、その上部に形成した水素拡散源材料層8（P-SiN）からの水素拡散により行う。下部トランジスタであるMOSFET7には、水素拡散阻止材料21、22により、水素の侵入が阻止される。

【0005】しかしこのようにコンタクトホール5を水

3

素拡散係数の小さい材料22のプラグで埋めた場合も、図に矢印Aで模式的に示す如くコンタクトホール5の周辺を水素が拡散してしまうという問題が起こる。これはコンタクトホール5のプラグ側部の密着性が悪いとき、顕著に生じる。

【0006】一方、TFET水素化を上部配線層の上から行うことも考えられるが、この場合は、配線層中に水素透過（拡散）係数の小さい材料（Ti等）が含まれると、TFETが十分水素化されず、特性が低下する。即ち、TFETと水素拡散源としての働きをするP-SiN膜等との間に例えばAl配線（通常Al/TiN/Tiなどの積層構造をするメタル配線層である）が配置されている場合、配線層中のTiが水素透過を阻止する能力が高いため、これによって水素拡散源であるP-SiN等からの水素拡散が阻害され、TFET特性が低下し、SRAMとして消費電力・データ保持特性が低下する。

【0007】また、メタル配線層形成前に水素化を行う方法もあるが、MOSFETに対してコンタクトホール等の開口が形成されている場合、開口を通して水素拡散し、MOSFETが水素化され、信頼性が低下する。

【0008】

【発明の目的】本出願の発明は上記従来技術の問題点を解決して、上部TFETはその水素化が充分に行われて特性（ON電流、OFF電流の特性）が向上し、かつ下部トランジスタは水素から遮断されてホットキャリアに対する信頼性劣化の問題が生じず、更に、上部配線層の上からの水素化も問題なく行って得ることができるポリシリコンTFETを備えるスタック型トランジスタ及びその製造方法を提供しようとするものである。

【0009】また、本出願の発明は、メタル配線層等の水素透過を阻止する膜が水素拡散源とTFETとの間に位置している場合においても、十分にTFETの水素化が行われるポリシリコンTFETを備えるスタック型トランジスタを提供しようとするものである。

【0010】また、本出願の発明は、メタル配線層等の水素透過を阻止する膜が水素拡散源とTFETとの間に位置している場合においても、十分にTFETの水素が行われるようにするとともに、その場合にも、MOSFET等の下部トランジスタへの水素拡散を抑制し、ホットキャリアによる信頼性劣化を防止できるようにしたポリシリコンTFETを備えるスタック型トランジスタを提供しようとするものである。

【0011】

【問題点を解決するための手段】本出願の請求項1の発明は、ポリシリコン薄膜トランジスタを備え、かつその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、上部ポリシリコン薄膜トランジスタと、下部トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、かつ上部ポリシリコン薄膜トランジスタと下部トランジスタとの間の配線を水素透過性の

4

小さい導電材料から形成することを特徴とするポリシリコン薄膜トランジスタを備えるスタック型トランジスタであり、これにより上記目的を達成するものである。

【0012】本出願の請求項2の発明は、下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、ポリシリコン薄膜トランジスタを形成した後、水素拡散源材料層を形成し、該水素拡散源材料層によりポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法であり、これにより上記目的を達成するものである。

【0013】本出願の請求項3の発明は、下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、ポリシリコン薄膜トランジスタを形成した後、水素化可能雰囲気中で処理することによりポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法であり、これにより上記目的を達成するものである。

【0014】本出願の請求項4の発明は、下部トランジスタと上部ポリシリコン薄膜トランジスタとの間の層間絶縁膜を水素拡散阻止材料により形成し、その後下部トランジスタと上部ポリシリコン薄膜トランジスタとの配線を水素透過性の小さい導電材料により形成し、ポリシリコン薄膜トランジスタを形成した後、ポリシリコンの水素化を行うことを特徴とする薄膜トランジスタを備えるスタック型トランジスタの製造方法であり、これにより上記目的を達成するものである。

【0015】本出願の請求項5の発明は、ポリシリコン薄膜トランジスタを備え、かつその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、上部ポリシリコン薄膜トランジスタの上層には水素拡散源材料層を備え、該水素拡散源材料層と上部ポリシリコン薄膜トランジスタとの間には水素透過を阻止する膜が位置し、該水素透過を阻止する膜には、水素化用開口を部分的に形成したことを特徴とするスタック型薄膜トランジスタであり、これにより上記目的を達成するものである。

【0016】本出願の請求項6の発明は、ポリシリコン薄膜トランジスタを備え、かつその下部に他のトランジスタを備えるスタック型薄膜トランジスタであって、上部ポリシリコン薄膜トランジスタの上層には水素拡散源材料層を備え、該水素拡散源材料層と上部ポリシリコン薄膜トランジスタとの間には水素透過を阻止する膜が位置し、該水素透過を阻止する膜には、水素化用開口を部分的に形成するとともに、該水素透過を阻止する膜は、

5

下部トランジスタの拡散層へ通ずる開口上をおおう構成としたことを特徴とするスタック型薄膜トランジスタであって、これにより、上記目的を達成するものである。

【0017】

【作用】本出願の請求項1～4の発明においては、上部TFTと下部トランジスタとの間の層間膜を水素拡散阻止材料により形成するとともに、両トランジスタの間の配線を、Ti等の水素透過率の小さい導電材料から形成したので、上部TFTを十分に水素化してその特性を良好にした場合も、下部トランジスタに水素の影響は及ばず、下部トランジスタの性能低下などは生じず、ホットキャリアに対する信頼性の高い装置が得られる。かつ、TFT上の配線層には特にTi等の水素透過率の小さい材料は用いる必要がなく、上部配線層の上からの水素化を問題なく行える。

【0018】本出願の請求項5の発明においては、TFTを水素化するための水素拡散源材料層と上部ポリシリコンTFTとの間にメタル配線層等の水素透過を阻止する膜が位置する場合にあっても、該水素透過を阻止する膜に水素化用開口を部分的に形成してここから水素化を行わせることができるので、十分な水素化を達成できる。

【0019】また、本出願の請求項6の発明においては、上記請求項5の作用効果に加えて、該水素透過を阻止する膜は、下部トランジスタの拡散層へ通ずる開口（コンタクトホール等）上をおおう構成とした結果、MOSFET等下部トランジスタの水素拡散により悪影響を防止することができる。

【0020】

【実施例】以下図面を参照して、本発明の実施例について説明する。但し当然のことではあるが、本発明は以下に述べる実施例により限定されるものではない。

【0021】実施例1

この実施例は、本発明を、高度に微細化・集積化されたSRAMに用いるTFTスタック半導体装置の製造に利用したものである。

【0022】図1に、本実施例のTFTスタック型SRAMの構造の概略を示す。本実施例のトランジスタは、ポリシリコン薄膜トランジスタ（TFT）6を備え、かつその下部に他のトランジスタ7（ここではMOSFET）を備えるスタック型薄膜トランジスタであって、上部ポリシリコン薄膜トランジスタ6と、下部トランジスタ7との間の層間絶縁膜を水素拡散阻止材料2（ここではSiN）により形成し、かつ上部ポリシリコン薄膜トランジスタ6と下部トランジスタ7との間の配線を水素透過性の小さい導電材料1（ここではTi）から形成したものである。

【0023】また、図2（a）～（h）に本実施例におけるスタック型トランジスタの製造方法を工程順に示すが、本実施例においては、図2に示すように、下部トラ

6

ンジスタ7と上部ポリシリコン薄膜トランジスタ6との配線を水素透過性の小さい導電材料1により形成し（図2（d））、下部トランジスタ7と上部ポリシリコン薄膜トランジスタ6との間の層間絶縁膜を水素拡散阻止材料2（SiN）により形成し（図2（e））、ポリシリコン薄膜トランジスタを形成した（図2（f））後、水素拡散源材料層8（P-SiN）を形成し（図2（h））、該水素拡散源材料層8によりポリシリコン水素化を行う。

【0024】本実施例では、ポリSiTFT6を用いたスタック型SRAMにおいて、上部TFT6と下部トランジスタであるMOSFET間の層間絶縁膜を水素拡散阻止材料であるLP（低圧CVD）-SiNから形成して下部トランジスタ7を水素拡散から遮断し、また、TFT6と下部トランジスタ7（MOSFET）間の配線材料に水素透過率の小さい導電材料1であるTiを用い、これを介してTFT上部の配線層とMOSFET拡散層間のコンタクトを取り、よってコンタクトホール4の水素拡散を防止する。本実施例においては水素化は上部配線層を形成後に行うが、これによって、TFTのみを水素化する。

【0025】具体的には、本実施例にあつては、次の（a）～（h）の工程によって、スタック型SRAMを製造する。図2（a）～（h）は、工程（a）～（h）に各々対応している。以下図を参照して工程毎に説明する。

【0026】（a）下部トランジスタであるMOSFET形成

シリコン半導体基板10を用い、LOCOS法によって素子分離を行った後、ゲート酸化膜73を熱酸化法（850℃）によって形成する（11nm）。次にゲート電極材料を堆積し（ここではWSi/Poly-Siのポリサイド構造200nm）、リソグラフィーによってパターンニングを行い、ゲート電極70を形成する。

【0027】LDDイオン注入（P⁺ 20keV、ドーズ量 2×10^{13} atoms/cm²）してLDD領域74を形成した後、CVDによってSiO₂を堆積し、RIEによってエッチバックを行うことにより、ゲート電極70のわきにサイドウォール75を形成する。これらをマスクとしてソース/ドレイン形成のためイオン注入（As⁺ 20keV、ドーズ量 5×10^{15} atoms/cm²）を行い、MOSFETを形成して、下部トランジスタ7とする。これにより図2（a）の構造を得る。

【0028】（b）層間絶縁膜の形成

CVDによりSiO₂、PSGなどの層間絶縁膜91を形成する（300nm）。図1（b）の構造が得られる。

【0029】（c）コンタクトホール（下部）の形成

リソグラフィーによりパターンニングした後、層間絶縁膜91にコンタクトホール4を形成する。これにより図1

（c）の構造とする。

【0030】(d) 水素透過率の小さい導電材料配線層の形成

スパッタ法によって、Tiを堆積し(30nm)、MOSFETの拡散層とのコンタクトを形成する。通常はこのコンタクトとしては、W、Wポリサイド、Mo、Moポリサイドを用いるが、ここでは水素透過率の小さいTiを用いる。次いでリソグラフィーによりパターンニングを行い、図1(d)の構造とする。

【0031】(e) 水素拡散阻止層の形成

LP-CVDによりSiN膜を形成し、水素拡散阻止層2とする。堆積条件は、堆積温度760℃、膜厚30nmとした。これにより図2(e)の構造を得る。

【0032】(f) TFT形成

ゲート電極材料としてPoly-SiをCVDにより堆積し(50nm)、イオン注入を行った後(BF₃: 20keV、ドーズ量 1×10^{15} atoms/cm²)、リソグラフィーによってパターンニングを行い、ゲート電極60を形成する。ゲート酸化膜62としてCVDによってSiO₂膜を形成する(35nm)。

【0033】TFT活性層となるポリシリコン61を形成する。形成方法は、減圧CVDによって、堆積温度550℃でa(アモルファス)-Siを堆積した後(10nm)、N₂中でアニール(600℃、10hours)を行って、ポリシリコン膜を形成する。その後、リソグラフィーによりパターンニングを行う。

【0034】次に、リソグラフィーによってチャネル形成部分をレジストマスクし、残りの部分にイオン注入することによって(BF₃: 10keV、ドーズ量 1×10^{15} atoms/cm²)、TFTソース/ドレイン領域6a、6bを形成する。これにより、上部TFT6を形成した図2(f)の構造が得られる。

【0035】(g) 層間絶縁膜の形成、上部コンタクトホール5の形成

CVDによりSiO₂、PSGなどの層間絶縁膜92を形成する(400nm)。次に、リソグラフィーによりパターンニングした後、上部コンタクトホール5を形成する。これにより図2(g)の構造を得る。

【0036】(h) 上部配線層形成、水素化

上部配線層3として、スパッタによってTiON(100nm)、Al-Si(1wt% Si含有のAl合金)(600nm)の順で堆積を行う。このTiON層の下には、Ti層を形成する必要はない。コンタクトホール4に予めTiが形成されているからである。仮に下層にTiがなく、ここでTiを要すると、水素拡散をこの上部配線上から行うのが効率が悪くなる。

【0037】次に、水素拡散源材料層8として、プラズマCVDによりSiN膜を堆積する(300nm)。この後不活性ガス(N₂ガス、またはN₂ガス中にH₂を1~2流量%程度添加したガスを用いるのがよい)中でアニール(350℃、30min)を行い、水素拡散源

材料層8であるSiN膜から水素を拡散させ、ポリシリコン61を水素化する。

【0038】上記水素化の際、本実施例においては、上部TFT6と、下部トランジスタ7であるMOSFET間を、水素拡散係数の小さい層間絶縁膜(SiN)を用いて水素拡散阻止層2とするとともに、TFTとMOSFET間の配線材料に、水素透過率(係数)の小さい導電材料1(Ti)を用いることによって、下部トランジスタ6への水素の影響なく、TFTのみを十分に水素化できる。

【0039】また、上部配線層3と下部MOSFETの拡散層のコンタクトを、上述のTiを介して行うことによって、コンタクトホール5を水素が拡散することをも防止できる。更に、上層配線層の上部から何ら問題なく水素拡散を行わせることができる。

【0040】上述のように本実施例では上部配線層3にTiを用いる必要がないものである。参考として、図3にTFT上の配線層の構造をTiの有無について変化させた場合のTFTの特性の違いを示す。図3(a)

(b)は、各々下記構造について、その特性を調べた。

(a) AlSi(600nm)/Ti(30nm)

(b) AlSi(600nm)

【0041】なお、TFTの水素化は、配線層上部のP-SiN膜からの水素拡散によって行っている。(a)のTiが有る場合はON電流が小さく、S値も624mV/decと大きいものに対して、(b)のTiがない構造ではON電流が2桁以上大きく、S値も229mV/decと小さくなっており、特性が非常に良くなっている。このことから、Tiが水素の拡散を阻害しTFT特性を低下させていることがわかる。本実施例は、このようなTiによる水素阻害の問題を生じさせない。

【0042】実施例2

本実施例においては、実施例1における上部配線層3の形成の後、水素拡散源材料層8を設けることなく、即ち図4の構造の状態で、ポリシリコン61の水素化を水素化可能雰囲気中での処理により行う。ここでは具体的には、水素化をプラズマ水素中で行った。そのほか水素化可能雰囲気中の処理としては、H₂中のプラズマ処理のほか、水素アニールによって行うなどの手段や、あるいはH₂以外の含水素化合物雰囲気中での処理手段を用いることができる。

【0043】実施例3、4

本実施例は、実施例1、2において、上部配線層3形成前に水素化を行うものである。よってこれらの実施例は、図5に示すように、水素拡散源材料層8の上層に、上部配線層3が形成される構造になる。

【0044】なおこの例の場合、P-SiN層(水素拡散源材料層8)を残しておきたくない場合、実施例2を本例のように変形して、プラズマ水素化を行う手法をとるのが好ましい。

【0045】実施例5

本実施例は、実施例1(c)～(e)の構成を變形して、水素拡散阻止層2(SiN)を形成した後、コンタクトホール5を形成し、水素透過率の小さい導電材料層1(Ti)を形成して配線層とした例である。構造は、図6に示すようになる。

【0046】実施例6

本実施例は、請求項5、6の発明を具体化して、PMOS負荷型SRAMに適用したものである。図8を参照する。

【0047】本実施例は、図8(a)に断面図で、図8(b)に平面図で示すように、ポリシリコン薄膜トランジスタ(TFT)6を備え、かつその下部にMOSFETである他のトランジスタ7を備えるスタック型薄膜トランジスタであって、上部ポリシリコン薄膜トランジスタ6の上層には、P-SiNから成る水素拡散源材料8を備え、該水素拡散源材料層8と上部ポリシリコン薄膜トランジスタ6との間にはメタル配線層の一部をなすTi層である水素透過を阻止する膜11が位置し、該水素透過を阻止する膜11(Ti層)には、水素化用開口12を部分的に形成したものである。

【0048】更に本実施例は、該水素透過を阻止する膜11は、下部トランジスタ7の拡散層へ通ずる開口4上をおお構成となっている。本例においてこの開口は、コンタクトホールである。

【0049】即ち、本実施例のポリSiTFTを用いたPMOS負荷型SRAMにおいては、メタル配線層(AlSi/TiON/Ti)中の水素透過を阻止する層11であるTiをTFTチャネル上のみ開口し(AlSi/TiON層は符号13で示す)、この開口12を通して、パッシベーション膜である水素拡散源材料層8のP-SiNからの水素拡散によって、TFT水素化を行う。

【0050】また、TFT下に減圧CVDによるSiN膜を堆積し(LP-SiN)、かつ上記水素透過を阻止する層11であるTiが開口4(コンタクトホール)をカバーすることによって、バルクMOSFETへの水素拡散を防止し、ホットキャリアによる信頼性劣化を防止する。

【0051】本実施例においては、次の工程(A)～(D)によりトランジスタを得る。図9を参照する。

(A) MOSFET形成

Si基板(P型)10上に、LOCOS法によりフィールド酸化膜14を290nm形成し、素子分離を行った後、熱酸化によりゲート酸化膜73を形成する(850℃、11nm)。次にゲート電極材料を堆積し(WSi/ポリSi、200nm)、リソグラフィーによりパターニングを行い、ゲート電極70を形成する。LDDイオン注入(P⁺20keV、2E13/cm²)の後、CVD法によってSiO₂を堆積し、RIEによりエッチバックすることによって、ゲート電極わきにサイドウォール75

を形成する。ソース/ドレイン71、72形成のためイオン注入(As⁺、20keV、5E15/cm²)を行い、下部トランジスタ7であるMOSFETを形成する。これにより図9(a)の構造を得る。

【0052】(B) TFT形成

CVD法によりSiO₂、PSGなどを300nm形成し、層間絶縁膜91とする。次に減圧CVDによりSiN膜21を30nm堆積する。ポリSiをCVD法により50nm形成し、イオン注入(BF₃⁺、20keV、1E15/cm²)後、リソグラフィーによりパターニングを行い、ゲート電極60を形成する。ゲート酸化膜62として、SiO₂をCVDにより35nm堆積する。次に減圧CVDにより、a-Siを10nm堆積した後、N₂中で長時間アニール(600℃、10時間)を行い、ポリSi活性層61を形成する。リソグラフィー法により、チャネル形成部とレジストマスクし、イオン注入を行い(BF₃⁺10keV、1E15/cm²)、ソース/ドレイン領域71、72を形成する。これにより図9(b)の構造を得る。

【0053】(C) メタル配線層形成

層間絶縁膜92を400nm堆積する。この層間絶縁膜92をパターニングして、拡散層71に対して開口4を形成する。その後、スパッタによりTiを30nm形成する。このTi膜が水素透過を阻止する膜11である。リソグラフィーにより、この膜11のパターニングを行い、TFTチャネル上のみTiを開口する。開口を12で示す。スパッタにより、TiON100nm、AlSi600nmを堆積し、リソグラフィーにより、パターニングを行い、メタル配線層13を形成する。これにより図9(c)の構造を得る。

【0054】(D) パッシベーション膜形成、及び水素化

パッシベーション膜として、P-CVDによりSiN(P-SiN)を300nm堆積する。これが水素拡散源材料層8である。不活性ガス中でアニール(400℃、60min)を行い、P-SiNからの水素拡散によってTFTの水素化を行う。これにより図9(d)に示すTFT上部トランジスタ6を有するトランジスタ構造を得ることができる。図10にTFT上のメタル配線層中にTiがある場合(a)と無い場合(b)のTFT特性を示す。Tiが無い場合、TFTの水素化が充分行われ、TFT特性が飛躍的に向上しており、ON電流も2桁以上大きくなっている。本実施例により、TFTの水素化を充分行うことができ、SRAMとして低電荷電力、高データ保持特性が実現できる。また、上部トランジスタ6であるTFT下にLP-SiN層21があり、チタン層(膜11)が開口4を覆うことによって、バルクMOSFETへの水素拡散を防止できるので、ホットキャリア信頼性を維持できる。

【0055】

11

【発明の効果】 上述の如く、本発明によれば、上記TFTはその水素化が充分に行われて特性が向上し、かつ下部トランジスタは水素から遮断されてホットキャリアに対する信頼性は良好であり、更に、上部配線層の上からの水素化も問題なく行って得ることができるポリシリコンTFTを備えるスタック型トランジスタ及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 実施例1のトランジスタの構成を示す断面図である。

【図2】 実施例1のトランジスタの製造工程を順に断面図で示すものである。

【図3】 TFT上層のTiの有無による特性の差を示す図である。

【図4】 実施例2を示す図である。

【図5】 実施例3、4を示す図である。

【図6】 実施例5を示す図である。

12

【図7】 問題点を示す図である。

【図8】 実施例6を示す図である。

【図9】 実施例6の工程を示す図である。

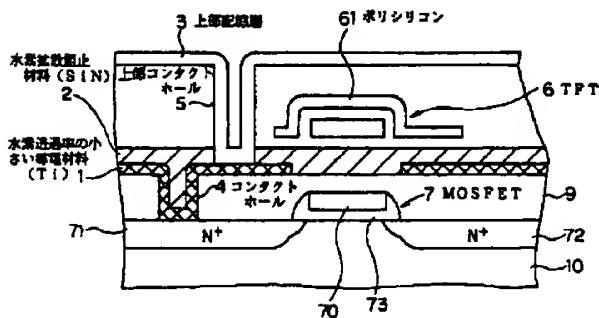
【図10】 実施例6の作用を示す図である。

【符号の説明】

- 1 水素透過率の小さい導電材料 (Ti)
- 2 水素拡散阻止材料 (SiN)
- 3 上部配線層
- 4 開口 (コンタクトホール)
- 5 上部コンタクトホール
- 6 TFT
- 7 下部トランジスタ (MOSFET)
- 8 水素拡散源材料層 (プラズマSiN)
- 10 基板
- 11 水素透過を阻止する膜
- 12 水素透過を阻止する膜の開口

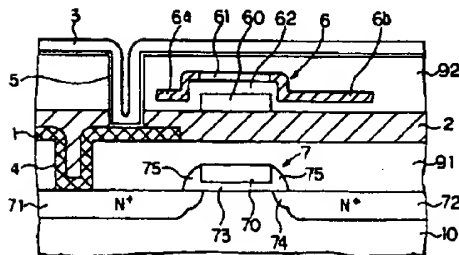
【図1】

実施例1のトランジスタ



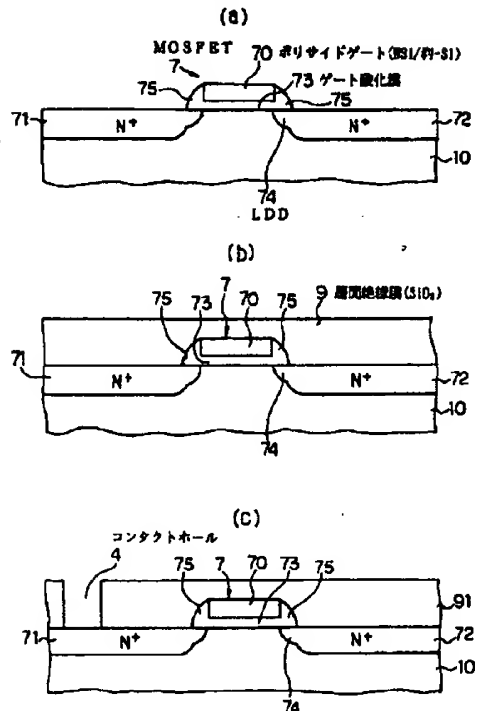
【図4】

実施例2



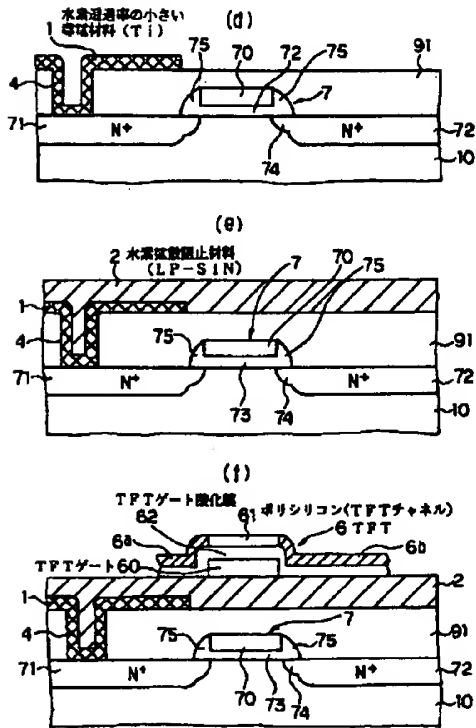
【図2その1】

実施例1のトランジスタの製造工程



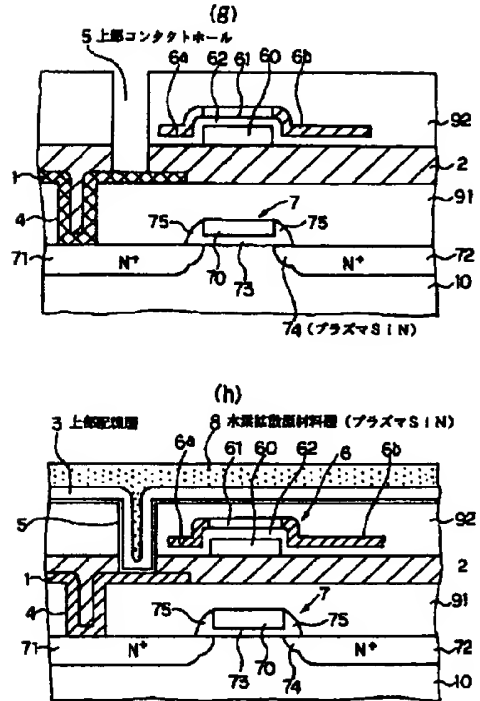
【図2その2】

実施例1のトランジスタの製造工程

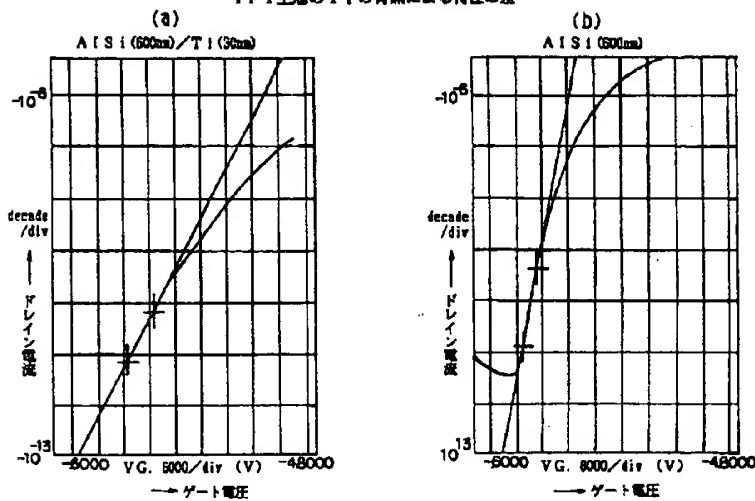


【図2その3】

実施例1のトランジスタの製造工程

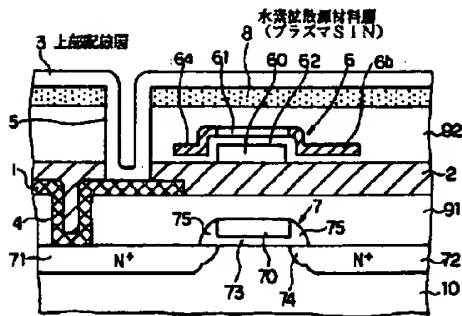


【図3】

TFT上層のT_iの有無による特性の差

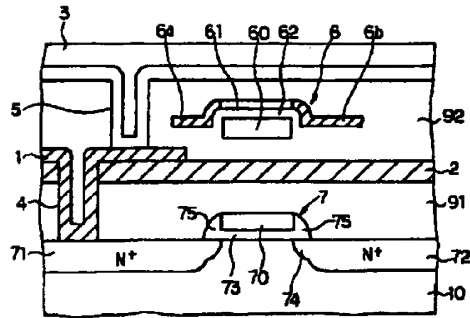
【图5】

实例 3.4



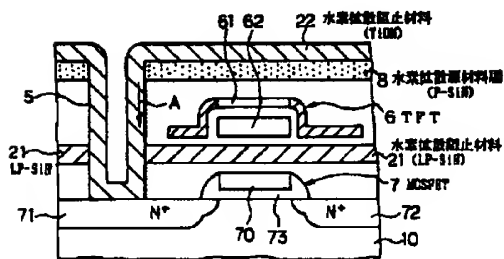
【图6】

實例 5



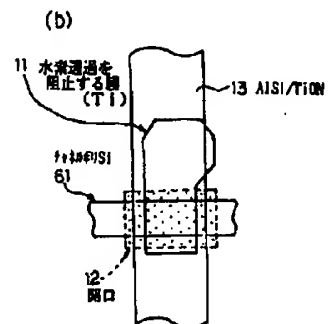
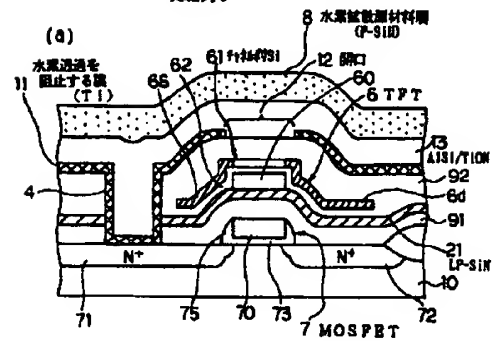
【图7】

問題点を示す図



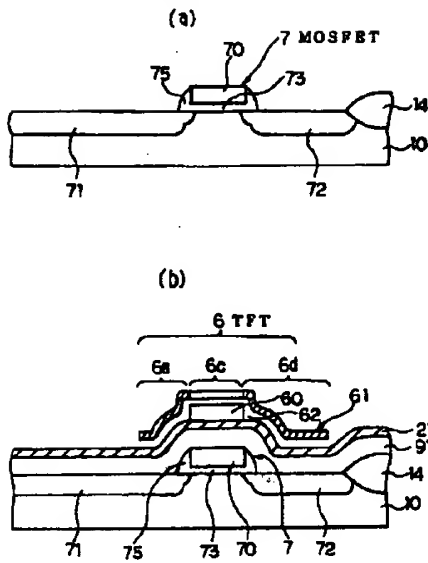
【图8】

例 8



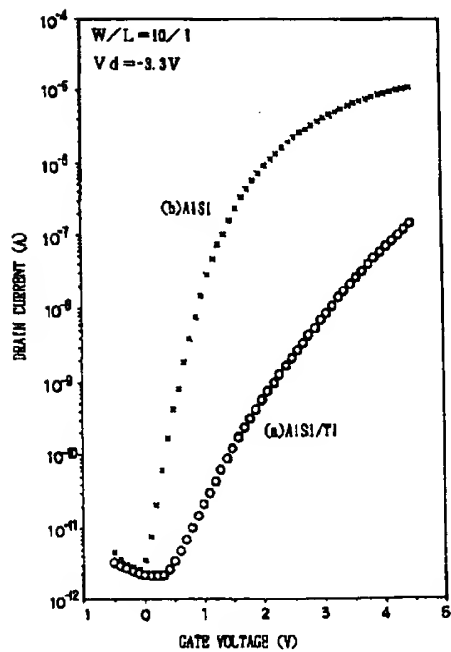
【図9その1】

実施例8の工程



【図10】

TFT特性 (TI有・無)



【図9その2】

実施例8の工程

